

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-329807

(43)Date of publication of application : 22.12.1997

(51)Int.Cl. G02F 1/136
G02F 1/133
G09G 3/36

(21)Application number : 08-151338

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 12.06.1996

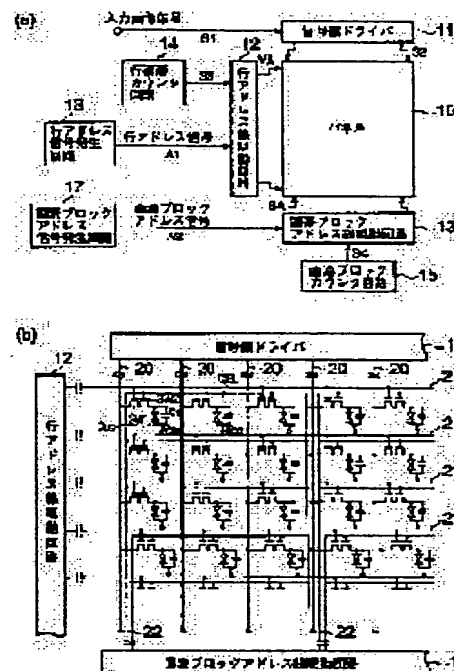
(72)Inventor : OKUMURA HARUHIKO
ITO TAKESHI
FUJIWARA HISAO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce power consumption by writing operation for a pixel which does not require write-in by selectively driving each one or every pixel block constituted of plural pixels out of the pixels arranged in a matrix state.

SOLUTION: Out of the pixels (liquid crystal cells) arranged in matrix form, an on-voltage is applied to each address line by a row address line driving circuit 12 and a pixel block address line driving circuit 13. In such a case, a picture signal from a pixel signal conductor 20 can be impressed only on the pixel where switching elements SW1 and SW2 are simultaneously turned on. In this device, a pixel block address line 22 is simultaneously applied to the switching element SW2 of every pixel in the pixel block per block unit to make it in an on-state, so that plural pixel blocks are optionally selected and the pixel of the block is controlled to be driven.



LEGAL STATUS

[Date of request for examination]

02.12.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japanese Patent Office

BEST AVAILABLE COPY

Japanese Laid-Open Patent Publication No. 09-329807/1997

(Tokukaihei 09-329807) (Published on December 22, 1997)

(A) Relevance to claims

The following is a translation of passages related to all the claims of the present invention.

(B) Translation of the relevant passages.

[Abstract]

[Means to Solve the Problems]

... wherein the display device includes:

first switching elements SW1 operating in accordance with signals from signal lines provided for and corresponding to respective pixels;

block selecting means 13 for dividing the pixels into blocks and selecting one of the blocks of pixels;

second switching elements SW2 operating in those pixels belonging to the block selected by the block selecting means so as to obtain pixel information for the pixels in collaboration with the first switching elements for a pixel display.

(11)特許出國公關番号

結關 529-329807

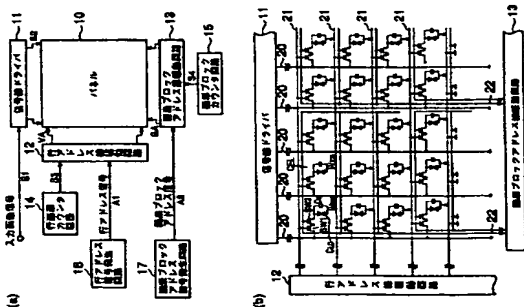
(43)公園日 平成9年(1997)12月22日

(5)Int.Cl. ⁴	識別記号	片内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	G 0 2 F	1/136	5 0 0
G 0 2 F 1/133	5 5 0		1/133	5 5 0
G 0 9 G 3/36		G 0 9 G	3/36	

(21) 出願番号	特願平8-151338	(71) 出願人	000003078	株式会社真芝	神奈川県川崎市幸区堀川町72番地	株
(22) 出願日	平成8年(1996)6月12日	(72) 発明者	奥村 浩彦	神奈川県横浜市磯子区新磯子町33番地	式会社真芝生産技術研究所内	株
		(72) 発明者	伊藤 剛	神奈川県横浜市磯子区新磯子町33番地	式会社真芝生産技術研究所内	株
		(72) 発明者	藤原 久男	神奈川県横浜市磯子区新磯子町33番地	式会社真芝生産技術研究所内	株
		(74) 代理人	弁理士 鈴木 武彦	(外6名)		

(54) 【発明の名称】 被品表示装置

【要約】
【課題】低消費電力化を図った液晶表示装置を提供する
と。

[illegible]

(3)

オン状態となり、同一行に配設された全ての画素に所望の信号を与えなければならない。

【0007】つまり、前フィールドと次フィールドにおいて同じ画像を表示する場合に、同一の画像信号を信号線に供給しなければならない。ただし、液晶の駆動方法として極性を反転させる必要がある場合、同一画像を表示する場合においても、対向電圧に直し、極性の反転した画像信号を加えることになる。しかし、これにおいても液晶が劣化しない条件内にあれば、駆動周波数をより低減できる。前記マルチフィールド駆動において、複数のサブフィールドにより1フレームを構成しているため、1画素についてみると駆動周波数がサブフィールドの数だけ分周され、低減化していることになる。また、これによって消費電力を大幅に低減している。

【0008】一方、液晶表示装置の表示画面を任意に領域区分して、部分的にウィンドウとし、このウィンドウ内で動画を表示し、ウィンドウ外で静止面を表示するといった表示形態をとる場合、ウィンドウ部分に相当する領域を表示することによって画面が偏っているアドレス線に関しては動画表示を行うために本来は駆動周波数を高くしておく必要がある。

【0009】しかし、従来のマルチフィールド駆動法を用いた場合、動画を表示する画素においては駆動周波数を低くすることから、駆動周波数が低くなったことによる映像現象の発生を避けることができない。

【0010】また、近年においては液晶表示装置は、駆動電圧の低電圧化や駆動周波数の低減により、低消費電力化されているが、さらに、低消費電力化できる構造として、一面素毎にメモリを備えた構造が提案されている（特開昭58-196582号公報または特開平3-77922号公報参照）。この技術を採用することにより、静止面については、一度、表示信号を各画素に伝送してしまえば、その後はその画素のメモリに保持された信号で、その画素を常時表示すれば良い。そのため、消費電力は理論上、極性反転のための消費電力だけになることから、静止面については、消費電力は“0”に限りなく近づいてきている。

【0011】しかし、近年、マルチメディアが進み、動画を表示する必要があるしており、しかも、その動画は画素情報が進み速度で逐次変化する画像であることから、画素毎にメモリを持たせても、そのメモリには高頻度で画素の信号を書き替える必要があるが生じ、そして、このように高頻度で画素の書き替えを行うようにしたと、従来のように大規模に電力を消費してしまう。

【0012】液晶表示装置の駆動回路構成例を図14に示す。図14の(a)に、液晶表示装置の駆動回路の構成を示すブロック図。液晶表示装置は、図14(a)に示すように、液晶表示パネル10と、信号線駆動回路11と、ゲート線駆動回路12と、パッチ回路13とを具と、コモン駆動回路14と制御信号発生回路15とを具

備する。

【0013】液晶表示パネル10は、図14の(b)に示すように、複数の微小な液晶表示セルC_E_Lにマトリックス状に配設したものであり、それぞれ1行単位で行駆動用の行走線Lal、Ll2～Llmを、そして、列単位でそれぞれ1列単位で列駆動用の行走線Lcl、Lc2～Lcnを配してあり、各液晶表示セルC_E_Lはそれぞれ対応の行走線LalよりスイッチSWが駆動されて、画素信号線からの画素信号が対応の液晶表示セルC_E_Lに印加され、画素表示される構成である。

【0014】液晶表示セルC_E_Lはこの画素信号線から印加電圧と、コモン電圧（非逆電圧）VCOM電圧との電位差分の電圧が加えられることにより、その電位差分に画素強度を変化させる。

【0015】コモン電圧VCOMは非逆電圧の電圧であり、これはコモン駆動回路14により発生されるようになっている。なお、制御信号発生回路15は表示動作に必要な各種の制御信号を発生して各部に与え、所要の動作を行えるように制御している。また、各液晶表示セルC_E_Lに対して、それぞれスイッチSWが設けてあり、このスイッチSWはそれぞれTFT（薄膜トランジスタ）で構成されていて、そのゲート端子は対応する行走線Lal（～Ll2～Llm）に接続され、当該行走線の信号によりオンオフ制御される構成である。また、各スイッチSWはそれぞれ対応の列の画素信号線Lcl（～Lc2～Lcn）と液晶表示セルC_E_Lとの間にソース・ドレイン間を接続して信号線駆動回路11の出力を液晶表示セルC_E_Lに与えることができるようにした構成である。

【0016】ゲート線駆動回路12は順次、行走線Lal、Ll2～Llmに駆動信号を与えて行単位で各液晶表示セルのスイッチSWを構成するTFTのゲートに信号を与え、当該スイッチSWを駆動制御するためのものである。

【0017】このような構成において、ゲート線駆動回路12は垂直方向に配列した全行走線Lal、Ll2～Llmを走査する時間間隔でゲート線駆動信号をG1、G2、G3、～Gmに順に発生する。

【0018】ゲート線駆動信号G1、G2、G3、～Gmの出力端子は行対応にその該当の行走線Lal、Ll2～Llmに接続されており、従って、当該ゲート線駆動信号が発生した行走線において、その行に接続されている液晶セルの各スイッチSWがオンオフ制御されることがとなる。このようにして、ゲート線駆動回路12により、各行の行走線が順次走査されることになる。

【0019】一方、画素信号がパッチ回路13を介して信号線駆動回路11に与えられ、信号線駆動回路11では、行走線Lclの走査に対応して、その走査中の各画素の状態で画素信号線に制御信号を供給することにより、各行の各画素の表示信号がそれぞれ各画素に対応に出力さ

(4)

れ、この各表示信号が各画素位置に対応に配された画素信号線Lbi、Lb2～Lbnに出力される。

【0020】図14(b)に示す如く、液晶パネルにおいては、行走線の信号をONすることによって、その行対応の液晶セルの各SWがONすると共に、信号線駆動回路11からの上述のような制御により、走査中の行の各画素位置の表示信号を与えることで、表示画像の内部の各画素位置の表示信号が画素信号線Lbi、Lb2～Lbnを介して入力され、コモン駆動回路14から与えられるコモン電圧との電位差分の電圧が、液晶セルC_E_Lに印加されて画素表示がなされる。

【0021】ここで、液晶表示装置の駆動回路（モジュール回路）の消費電力が、どのような要因で決まるかを検討する。なお、ここでは直線的に減るハイパス電流による消費電力については当該モジュール回路の消費電力には含まないものとする。

【0022】液晶表示装置の駆動回路は上述したように、基本的に、信号線駆動回路、パッチ回路、制御信号発生回路、コモン駆動回路、ゲート線駆動回路に分けられる。以下、それぞれについて詳細に述べる。

【0023】(i) 信号線駆動回路
信号線駆動回路は、信号線を駆動するための駆動ICでデジタル式とアナログ方式に分けられるが、一般にOA画像がデジタルであることから、整合性の良いデジタル式について消費電力を検討する。

【0024】デジタル式の駆動ICは基本的に信号のサンプリング時間を決めるフリップフロップ、ディジタル信号をラッチするラッチ回路、このラッチ回路のラッチしたディジタル信号をアナログ信号に変換するD/A変換回路、信号線を駆動する出力バッファからなる。

【0025】ここで、消費電力を決める要因は、ラッチ回路と出力バッファであるので、この2つのみ考える。ラッチ回路の最大消費電力Plは、画像信号に関する入

$$P_{\text{ge}} = (2C_{\text{gc}} + C_{\text{gap}}) * f_s / 2 * V_{\text{ge}}^2 \quad \dots(4)$$

(iv) コモン駆動回路
コモン駆動回路は、コモン出力C_cを駆動するためのもので、コモン駆動回路の最大消費電力P_cは、コモンの駆動周波数をf_c、コモン駆動回路の電圧をV_cで表すと、以下のようになる。なお、コモン反転の場合、コモンの駆動周波数f_cは水平駆動周波数f_hの半分である。

$$P_c = C_c * f_c * V_c^2 \quad \dots(5)$$

(v) ゲート線駆動回路

ゲート線駆動回路は、ゲート線の容量C_gを駆動するた

$$\begin{aligned} P_{\text{all}} &= P_l + P_{\text{ob}} + P_b + P_{\text{gn}} + P_c + P_g \\ &= (C_l + 2C_{\text{ck}}) * f_s / 2 * V_l^2 - N_h * C_s * f_h * V_s^2 \\ &\quad / 2 + (2C_{\text{bc}} + C_{\text{bp}}) * f_s / 2 * V_b^2 + (2C_{\text{guc}} + C_{\text{gap}}) * f_s / 2 \\ &\quad * V_{\text{ge}}^2 + C_c * f_c * V_c^2 + C_g * f_h * V_g \end{aligned}$$

(ここで、コモンは一定値でN_h * C_s > C_gとする。

$$P_{\text{all}} = (C_l + 2C_{\text{ck}} + 2C_{\text{bc}} + C_{\text{bp}} + 2C_{\text{guc}} + C_{\text{gap}}) * (f_s / 2$$

力等価容量をC_l、サンプリングクロックに関する入力等価容量をC_ck、画像のサンプリング周波数をf_s、ラッチ回路の電圧をV_lでそれぞれ表すと、以下のようになる。

$$P_l = (C_l + 2C_{\text{ck}}) * f_s / 2 * V_l^2 \quad \dots(1)$$

出力バッファの最大消費電力P_obは、信号線容量をC_ss、水平駆動周波数をf_h、水平の画素数をN_h、信号線電圧をV_ssでそれぞれ表すと以下のようになる。

$$P_{\text{ob}} = N_h * C_{\text{ss}} * f_h * V_s^2 / 2 \quad \dots(2)$$

(ii) バッファ回路

バッファ回路は、入力のディジタル信号を受けてノイズ除去や波形整形をして信号線駆動回路に安定な信号を供給する部分で、省略される場合もあるが、基本的に必要であるので考慮しておく。バッファ回路の最大消費電力P_bは、クロックf_sに関する回路の入力等価容量をC_bc、画像信号に関する回路の入力等価容量をC_bp、バッファ回路の電圧をV_bでそれぞれ表すと、以下のようになる。

$$P_b = (2C_{\text{bc}} + C_{\text{bp}}) * f_s / 2 * V_b \quad \dots(3)$$

(iii) 制御信号発生回路

制御信号発生回路は、基本的にゲートアレイ化しており、信号により内部の周波数が異なるが、主に画像のサンプリングクロックf_sに同期する消費電力が重要なアクターと考えられる。ゲートアレイ全体の最大消費電力P_geは、クロックf_sに関する回路の等価内部容量をC_guc、画像信号に関する回路の入力等価容量をC_gap、ゲートアレイの電圧をV_geでそれぞれ表すと、以下のようになる。

$$P_{\text{ge}} = (2C_{\text{guc}} + C_{\text{gap}}) * f_s / 2 * V_{\text{ge}}^2 \quad \dots(4)$$

めめのもので、ゲート線駆動回路の最大消費電力P_gは、ゲート線の駆動周波数をf_g、ゲート線駆動回路の電圧をV_gで表すと以下のようになる。なお、ゲート線の駆動周波数f_gは、通常、水平駆動周波数f_hである。

$$P_g = C_g * f_h * V_g \quad \dots(6)$$

(vi) 回路全体の消費電力P_all

以上より、回路全体の消費電力P_allは、以下のようになる。

$$P_{\text{all}} = (C_l + 2C_{\text{ck}} + 2C_{\text{bc}} + C_{\text{bp}} + 2C_{\text{guc}} + C_{\text{gap}}) * (f_s / 2$$

(7)

ッチを大きくとれるため、前記パッド部を表示面に対し同じ側に配置した場合にでも、信号線ドライバからの配線と行アドレッシング線との配線とが力5重ならずコンタクトできる。これにより画素毎の画素を駆動する信号線ドライバと、列アドレッシング線を駆動する行アドレッシング線が表示面に対し同じ側に配置することができ、ドラッグが小さくなることによる画素サイズが大きくなる。

【0053】第5の本発明によれば、書き込みの駆動性が異なることによる画素の駆動差がフリッカとなつて現れる場合において、隣接する画素間で駆動性を異ならせることができ、フリッカを相殺することができ、この場合、マルチフィールド駆動でよく知られているように、隣接する1画素毎に駆動性を反転させずに、隣接画素に、隣接する1画素毎に駆動性を反転させずに、隣接画素にブロック単位で反転させる、もしくは複数のフィールドにわたって反転を行うこともでき、視覚の時空間周波数特性において視認される領域に入らないようにすることで画質を十分維持できる。

【0054】第6の本発明によれば、画素への書き換えを行わない画素が存在する場合に、信号線へのクロックを停止する、もしくは書き換えを行う画素のアドレスに合わせてクロックの周波数を低くすることができ、また、信号線ドライバでのクロックによる消費電力、また、画像データをシフトさせるために消費する電力を低減できる。

【0055】

【発明の実施の形態】以下、本発明を具体例を参照して記述する。はじめにマトリクス状に配列した複数の画素のうち、個々の画素毎もしくは複数の画素からなる画素ブロック毎に、任意選択駆動を行う方式の液晶表示装置を説明する。

【0056】(第1具体例) 第1の具体例は、複数の画素をマトリックス状に配列した構造の液晶表示装置を示す。マトリックス状に配列した構造の液晶表示装置は、個々の画素毎もしくは複数の画素からなる画素ブロック毎に、任意選択駆動を行うようにして低消費電力化を図るものである。

【0057】図1(a)は本発明の第1具体例に係る液晶表示装置の内部構成を示すブロック図であり、図1(b)は、各画素毎に選択するための液晶パネルのセル構成を示す。本具体例の液晶表示装置は、図1(a)に示すように、液晶表示パネル10と、信号線ドライバ11と、行アドレッシング線駆動回路12と、行画素カウンタ回路14と、行アドレッシング線信号発生回路15と、画素ブロックアドレス線駆動回路13と、画素ブロックカウンタ回路16と、画素ブロックアドレス線信号発生回路17とを具備する。

【0058】また、図1(b)には、各画素毎に選択するための液晶パネルのセル構成を示してある。図2(a)には、行アドレッシング線駆動回路12での処理方法を示してある。

【0059】ここで、信号線ドライバ11は入力画像信

(8)

号を受け、行アドレッシング線の走査に対応して、その走査中の行の各画素の状態を画像信号に対応して制御すべく、その走査中の行の各画素の表示信号をそれぞれ各画素に対応して出力するもので、この各表示信号が各画素位置に対応して配線された画素信号線20に出力される。

【0060】液晶表示パネル10は複数の画素をマトリックス状に配列した画像表示用の液晶パネルであり、この液晶表示パネル10は図1(b)に示すように、行方向に配線を延ばして複数の行アドレッシング線21が、そして、列方向に配線を延ばして複数の画素信号線20が、それぞれ配線されている。そして、行アドレッシング線21と画素信号線20で囲まれる領域が個々の画素となる液晶セルCE1を構成している。

【0061】各液晶セルCE1はTFT(薄膜)トランジスタからなる第1のスイッチング素子SW1と、同じくTFTトランジスタからなる第2のスイッチング素子SW2と、液晶C_{LC}と、容量C_Sとからなる。本具体例においては、画素を複数の領域に分割し、駆動は各領域単位で行うようにしたシフトレジスタ方式としてある。

【0062】第1のスイッチング素子SW1は、そのゲートがその液晶セルCE1の座標位置に対応する行アドレッシング線21に接続され、また、ソース・ドレイン間をその液晶セルCE1の座標位置に対応する信号線20と第2のスイッチング素子SW2のソース・ドレイン間を介して液晶C_{LC}の駆動電極に接続される構成としてある。液晶は液晶セルCE1の座標位置に対応する信号線20と第2のスイッチング素子SW2のソース・ドレイン間を介して液晶C_{LC}の駆動電極とこれに反対する対向電極との間に液晶材料を挟んだ構成であり、液晶C_{LC}も同様の構造となっている。従って、対向電極に共通電位V_{com}を印加するようにすると共に、液晶C_{LC}の駆動電極と対向電極との間に補助容量C_gが介在する構成としてある。

【0063】また、第2のスイッチング素子SW2のゲートがその液晶セルCE1が所属するブロックの画素ブロックアドレス線22に接続される。また、画素ブロックアドレス線22は順に接続されて行アドレッシング線21に補助容量C_gが介在する構成としてある。

【0064】行アドレッシング線駆動回路12は行アドレッシング線の信号を発生するためのものであり、この行アドレッシング線駆動回路12は複数の各行アドレッシング線21の出力端子を有して、この出力端子に各行アドレッシング線21は順に接続されて行アドレッシング線21を発生する。

【0065】行画素カウンタ回路14は動画像のフレーム表示制御に対して画像が表示されるように、行画素位置を管理するためのカウンタであり、この行画素カウンタ回路14では、液晶表示パネル10のマトリックス状に配列された画素のうち、行に対して配列してある画素に対応するアドレッシング線を全て駆動するのに要する時間(通常、1フレーム)毎に、スタート信号S3が発生され、これにより、1フレームの期間に順に各出力端子(行アドレッシング線)が制御される。

【0071】図1(b)には、各画素毎に選択するための液晶表示パネル10のセル構成を示してある。上述したように基本的なセル構成は、液晶C_{LC}と、補助容量C_Sと、スイッチング素子SW1およびSW2よりなり、そして、スイッチング素子SW1は行アドレッシング線21に接続されており、スイッチング素子SW2は画素ブロックアドレス線22に接続している。

【0072】そして、前記行アドレッシング線駆動回路12から行アドレッシング線21を介してON(オン)電圧が印加される場合に、この行アドレッシング線21にゲートが接続されているスイッチング素子SW1はオン状態になり、画素ブロックアドレス線駆動回路13から画素ブロックアドレス線22を介してON(オン)電圧が印加された場合には、この画素ブロックアドレス線22にゲートが接続されているスイッチング素子SW2はオン状態になる。

【0073】これにより、複数の画素(液晶セル)のうち、前記行アドレッシング線駆動回路12と画素ブロックアドレス線駆動回路13にて前記各行アドレッシング線(オンの)電圧が印加され、スイッチング素子SW1およびスイッチング素子SW2が同時にON(オン)となった画素についてのみ、画素信号線20からの画像信号が印加可能になる。画素ブロックアドレス線22は画素のブロック単位でそのブロック内のすべての画素のスイッチング素子SW2に同時に与えられてオン状態にするので、複数の画素ブロックについて、各画素ブロック毎に任意選択してそのブロックの画素を駆動可能な状態にする。

【0074】そして、スイッチング素子SW1およびスイッチング素子SW2が同時にON(オン)となった画素について、画素信号線20からの画像信号が印加される段階でこれらのスイッチング素子SW1およびSW2を介してその画素の容量C_Sにこの画像信号が印加されて保持され、この保持された画像信号が液晶C_{LC}に印加されて以後、書き替えが成されるまで、この容量C_Sに保持された画像信号で液晶C_{LC}は液晶C_{LC}を駆動して表示に供することになる。

【0075】そのため、複数の画素ある画素ブロックのうち、表示内容の書き替えの必要なブロックについてのみ駆動可能な状態にすることができ、他は駆動しないことにより、動画像表示を低消費電力で実施できるようなる。

【0076】図3は縦横3画素を1ブロックとした場合を例に、一例としての動作を示している。図3(a)には、本具体例における各部の信号波形を示す。また、図3(b)には各画素のアドレスを示すとともに、図3(c)、(d)には前記(a)での信号波形での(b)における各画素毎のスイッチング結果を示す。

【0077】図4で画素アドレスP₀はX行Y列のマトリックスにおけるX行Y列の画素を示し、Xは行アドレスに、Yは列アドレスに相当している。こ

(9)

れより、行アドレスVAと列アドレスBAの論理値によ
って、画素のスイッチングが制御される。

【0078】また、本具体例においては縦横の画素ずつ
の画素ブロックについて述べているが、ブロックの分割
方法については、各ブロック毎で画素数を同一としても
同一でなくしても良く、1画素以上のブロック単位で庄
意に定めることができる。さらに、ブロック選択の起点
としては、動画像の圧縮伝送方式として標準化されたMP
EG1やMPEG2とのマッピングの良さがあげられ
る。

【0079】つまり、MPEG技術では、画像を8×8
や16×16(16×8)等のブロック単位で分割し、
動きの“ある”、“無し”の判断と圧縮処理について
は、これら8×8や16×16(16×8)等のブロッ
ク単位で行われる。従って、画素単位に選択されたとし
ても伝送されてくる情報はブロック単位となるため、有
効に情報を利用できない。よって、伝送されるブロック
の大きさに合わせたブロックで区別することが望ましい。
また、ブロック毎にアドレス線を配設できるため、縦横
別でブロック化することによって、パネルのアドレス線
数を少なくすることができる。

【0080】これにより、図4に示されるように、行ア
ドレス線駆動回路中に画素ブロックアドレス線駆動回路
と同様の機能をもたせることによって、ドライバ数を増
やさないようにすることができる。

【0081】以上、第1具体例は、マトリクス状に
配列された複数の画素をブロックに区分して、各ブロッ
ク毎に駆動制御可能にして画像の書き替えに必要なある
ブロックについて動作させ、他は動作させないようにす
る構成としたことにより、低消費電力化を図ることがで
きるようにしたものである。

【0082】画像信号を記憶する記憶保持手段である容
量C₁。を画素毎に配設された液晶表示装置において、書き替
えの必要画素に対してのみ、与えられた画像信号の内
容に書き替える構成とすることによって低消費電力化を
図る例を次に第2具体例として説明する。

【0083】(第2具体例) 第2の具体例は、マトリッ
クス状に配列された複数の画素は、1画素内に少なくと
も2つ以上のスイッチング素子と少なくとも1つ以上の
液晶素子とを有し、前記スイッチング素子を制御するため
にそれぞれ走査線が配設されており、走査線より前記の
スイッチング素子にON電圧が印加され、電流素子に加
わる電圧関係によって画素電極電位を変えることができ
るようになるものである。

【0084】ここではマトリクス状に配列した画素に
対して、画素内に液晶素子を有し、信号線と画素電極間
に配設することによって、信号線と画素間のスイッチン
グ素子がON状態になった場合においても、信号線電位
と画素電極電位の電圧関係によって画素への書き込み動
作を制御できるようにする。これにより、例えば従来の

(10)

ン) となった画素について、画素電極電位はV_{PS}とな
る。この場合の画素電極電位V_{PS}は、画素電極電位とし
て与えらるべき最小の信号電圧V_{min}以下とする。

【0092】次に行アドレス線駆動回路52により行ア
ドレス線が駆動されることで選択されていくが、ここで画
素は信号線に加えられ、書き換えを行う画素(通
常、リセットパルスを加えた画素)については画像デー
タに従った画像信号V_{sig}が、書き換えを行わない画素
については、電流素子D1が非導通状態となる電圧V_{off}
が印加される。

【0093】つまり、信号線ドライバ51からは、画素
信号線に対して書き換え対象画素(通常、リセット
パルスを加えた画素)については画像データに従った画
像信号V_{sig}が出力され、書き換えを行わない画素につ
いては、V_{off}なるレベルの電圧が出力される。このV
_{off}なるレベルの電圧は電流素子D1が非導通状態とな
る電圧である。

【0094】ここで各電圧の関係は、例えば
$$V_{off} \leq V_{rs} \leq V_{min} \leq V_{sig} \quad \dots (1)$$

である。

【0095】従って、行アドレス線からオン信号が与え
られたスイッチング素子SW1は、画素信号線から与え
られる画像データの電圧により、ダイオードD1がオン
となり、オフ状態となった。書き換えを行う
画素に対しては、リセット信号線駆動回路53から、リ
セット信号が与えられることになり、このリセット信号
が与えられた画素のスイッチング素子SW2は、オン状
態となりリセットパルスT_{rs}端子からのリセット電圧
V_{rs}がその画素の補助容量C₂に与えられ、補助容量C
₂はリセット電圧V_{rs}になる。

【0096】このような構成をとることによって、オン
状態になっているスイッチング素子SW1を介してダイ
オードD1に画像データを与えることで、画像データの
内容(電圧レベル)とその画素の補助容量C₂の保持電
圧に対応してダイオードD1が導通/非導通になる。こ
れにより、書き込みの必要な画素についてはダイオード
D1が導通状態になって画素データがその画素の補助容
量C₂に与えられ、ここに保持され、液晶C₁の画素表
示に供される。また、書き換えの必要のなかった画素は
ダイオードD1が非導通であるから補助容量C₂に電流
は流れず、その分、低消費電力化が図れる。

【0097】全画素に書き換えの必要な場合は、対象の画素
にリセットパルスを印加する。このリセットパルスが印
加された画素についてはその補助容量C₂はリセット電
圧V_{rs}になっているので、新たに書き込みを行う必要が
でてくる。これを、オン状態になっているスイッチン
グ素子SW1を介してダイオードD1に画像データを与え
ることによって、画像データの内容(電圧レベル)に対応し
てダイオードD1が導通/非導通になることにより、画素
データ毎に書き換えができることになる。

【0098】なお、書き換えを行う画素に対しては別段
に設けたフレームメモリ等から画像情報を出力するよう
な構成とすることができ、また、表示画面上で書き換
えの多い領域を定め、その領域に本具体例を特に行い
ることが望ましい。

【0099】このように、マトリクス状に配列した画
素に対して、画素内に電流素子(ダイオード)を有し、
これを画素信号線と液晶の画素電極間に配設すること
によって、画素信号線と画素間のスイッチング素子がON
状態になった場合においても、信号線電位と画素電極電
位の電圧関係によって画素への書き込み動作を制御で
きるようにした。これにより、例えば、列方向に配列され
た画素に対しては走査線にON電圧が印加され、それらの
画素が一括して選択されていた場合には、画素信号
線が一括して選択されたことによって電流素子により、非導通状
態になるため、画素電極への信号書き込みが行われな
いようにすることができる。よって同じ走査線に配設され
た画素間においても選択的書き込み動作を行わせること
ができる。そして、この場合、書き換えを行う画素につ
いては前フェーズの画像信号をリセット電位にし、これによっ
て補助容量の電位をリセット電位にし、これによって
液晶セルの画素電極と対向電極電位を一致させるように
した。

【0100】このような構成により、書き替えを最小限
にして低消費電力化を図ることができるようになる。次
に、1画素内にスイッチング素子を2つ、電流素子を2
つ設け、前記スイッチング素子を制御するための走査線
を、列方向に配列された画素に対し2本配設すると共
に、前記走査線の選択する位相を異ならせるようにし、
信号線電位と画素電極電位の電圧関係によって画素への
書き込みおよび消去動作を制御できるようにした例を次
に第3の具体例として説明する。

【0101】(第3の具体例) 第3の具体例は、マトリ
クス状に配列された複数の画素のうち、個々の画素毎
もしくは複数の画素からなる画素ブロック毎に、リセ
ットパルスを印加および任意選択駆動を行うものであ
る。図6(a)は本発明の第3具体例に係る液晶表示装
置の要部の構成を示すブロック図、図6(b)はその各
液晶セルのなまかなセル構成を示す図である。本具体例
の液晶表示装置は、図6に示すように、液晶セルパナ
ル60と、信号線ドライバ61と、行アドレス線駆動回路
62と、行画素カウンタ回路64と、行アドレス線信号
発生回路65とを具備する。

【0102】図6(b)に、各画素毎に選択するための
液晶パネルのセル構成を示してあるが、基本的なセル構
成は、液晶C₁と、補助容量C₂と、スイッチング素子
SW1およびSW2と、電流素子D1およびD2により
なり、スイッチング素子SW1はそのゲートを行アドレ
ス線64に接続しており、スイッチング素子SW2はそ
ス線64に接続しており、スイッチング素子SW2はそ

(12)

【0114】(第5の具体例) 第5の具体例は、複製映画フィルムをマトリックス配列した液晶表示装置において、隣接する画素間において書き込みの極性を反転させることに
よるフリッカを抑制するものである。

【0116】この場合、画面ブロックは異なる番号順に、凡配された画面を一つのブロックとする。これにより、前記各アドレス（画面）宛に送信されるデータは、順に前記各アドレス（画面）宛に送信される。例えば、前記各アドレス（画面）宛に送信されるデータは、順に前記各アドレス（画面）宛に送信される。例えば、前記各アドレス（画面）宛に送信されるデータは、順に前記各アドレス（画面）宛に送信される。

これによりフリッカを補償することを特徴とするものである。書き込みの極性が異なることによる画素の輝度差がフリッカとなった現れる場合において、この具体例でフリッカを補償することができる。フリッカを補償することができる。

【0119】この場合、マルチフィールド運動でよく知

【0120】次に動作用ロックの周波数を削減する技術
を第6の具体例として説明する。
第6の具体例 第5の具体例は、1行内に書き換えを
行う行と書き換えを行わない行とが含まれている場合
に、画像番号のアドレスに合わせでブロックを変換させ
ることを特徴とする。
【0121】図9は本発明の第6具体例に係る各部の信

(13)

【0128】以上、本発明を図示の各具体例に説明した通り、行アドレス線と列アドレス線を入れ換えることも、スイッチング素子と駆動素子の配置方法も変えることができ、本発明は各具体例に限定されるものではなく、その変形を逸脱しない範囲で、種々変形して実施することが可能である。

【0129】次に画面毎に任意に選択が可能であり、書き換えたい部分だけ表示信号を送し、書き換えたい部分については表示信号を送る必要をなくして、メモリ機能をどこかに有する液晶表示装置であれば、伝送路より消費される電力を大幅に低減できるようなした例を第7の具体例として説明する。

【0130】（第7の具体例）図11に第7の具体例の構成を、また、図12に駆動タイミングチャートを示す。図11で、スイッチング素子であるTFTトランジスタT₁とT₂のV_{th}は共に4[V]とす。V_{gl}は選択信号であり、ON（オン）が5[V]で、OFF（オフ）が0[V]である。また、V_{s1}には、ある時間は選択信号、ある時間は画面番号が入力される。選択信号時は、ONが10[V]、OFFが5[V]である。また、画面番号時は0～4[V]まで変化する。なお、交流駆動の場合は駆動電圧2[V]の場合となる。

【0131】図12（a）のタイミング図は画面1（1）を選択して書き込む場合について示している。まず、V_{gl}は5[V]、V_{s1}は10[V]とする。

【0132】この時、T₁はON（オン）状態となり、V_{p1}に選択信号5[V]が書き込まれる。次に、V_{s1}を画面番号である4[V]に変化させると、T₁はOFF（オフ）状態となり、選択信号はホールドされる。このホールド期間に画面番号をT₂を通して書き込む。次に、V_{gl}の選択を終了し、0[V]に落とすと共に、V_{s1}を選択信号5～10[V]の範囲に落とすとT₁がON状態となり、非選択信号がV_{p1}として書き込まれる。

【0133】その後、次の選択期間までV_{gl}は選択信号にならないので、画面に書き込まれた4[V]の電圧は次の選択期間に入る時までホールドされる。つまり、V_{s1}が選択であろうとなかろうとV_{gl}が非選択である限り、T₁を通して選択信号期間に非選択信号が画面の選択信号として書き込まれるので、画面の選択信号の保持に設けられた容量C₀₁は画面番号がV_{s1}に入力され、消費電力を大幅に低減できるレベルであれば良い。場合によっては非選択信号のみで足りることから、特に設ける必要はない。また、非選択期間に画面番号は0～4[V]までしか変化しないので、T₂のV_{th}である4[V]を超えないため、ONになることはない。

【0134】つまり、同一の信号線V_{s1}でも、信号レベルを変えることにより選択信号と画面番号を分ける事が可能となる。さらに、消費電力を下げるために、非選択信号が出力された後は、画面番号でも、同じレベル

信号線ドライバと画面ブロックアドレス線駆動回路とを表示面に対して同じ側に配置できるパネル構成をとることができるため、同一表示画面面の液晶表示装置であれば、液晶モジュールとしてのサイズを小さくすることができ、また、本発明によれば、画面ブロック内で極性の異なる画面をほぼ同数ずつ書き込む動作ができ、フリックを発生させることなく画質を改善できる。また、本発明によれば、信号線ドライバへのクロックを停止、もしくは低減化することができ、信号線ドライバの消費電力を大幅に低減できる。

【0139】また、本発明によれば、画面毎に任意に選択が可能であるため、書き換えたい部分だけ表示信号を送し、書き換えたい部分については表示信号を送る必要がなくなるため、メモリ機能をどこかに有する液晶表示装置では、大幅に伝送路により消費される電力を小さくすることができ、

【図面の簡単な説明】

【図1】本発明を説明するための図であって、本発明の第1の具体例に係る液晶表示装置の要部構成とその液晶パネルのセル構成を示す図。

【図2】本発明を説明するための図であって、図1の装置における行アドレス線駆動回路および画面ブロックアドレス線駆動回路の信号処理構成を示す図。

【図3】本発明を説明するための図であって、図1の装置における各部の信号波形図と画面の選択状況を示す図。

【図4】同具体例における画面ブロック構成の一例を示す図。

【図5】本発明を説明するための図であって、本発明の第2の具体例に係る液晶表示装置の要部構成とその液晶パネルのセル構成を示す図。

【図6】本発明を説明するための図であって、本発明の第3の具体例に係る液晶表示装置の要部構成とその液晶パネルのセル構成を示す図。

(14)

【図7】本発明を説明するための図であって、本発明の第4の具体例に係る液晶表示装置の要部構成を示す図。

【図8】本発明を説明するための図であって、本発明の第5の具体例に係る液晶表示装置の液晶パネルのセル構成を示す図。

【図9】本発明を説明するための図であって、本発明の第6の具体例に係る液晶表示装置の各部の信号波形図を示す図。

【図10】本発明を説明するための図であって、本発明の第6の別の具体例に係る液晶表示装置の各部の信号波形図を示す図。

【図11】本発明を説明するための図であって、本発明の第7の具体例の構成を示す図。

【図12】本発明を説明するための図であって、本発明の第7の具体例における駆動タイミングを示す図。

【図13】従来の液晶表示装置の要部構成とその液晶パネルのセル構成を示す図。

【図14】従来の例を示す図。

【符号の説明】

10、50、60…液晶表示パネル

11、51、61…信号線ドライバ

12、52、62…行アドレス線駆動回路

14、54、64…行画面カウンタ回路

15、55、65…行アドレス線信号発生回路

13…画面ブロックアドレス線駆動回路

16…画面ブロックカウンタ回路

17…画面ブロックアドレス線信号発生回路

53…リセット信号発生回路

56…リセットカウンタ回路

57…リセット信号発生回路

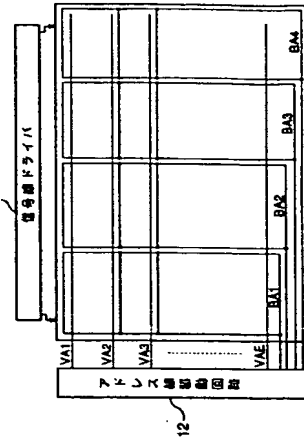
SW1、SW2…スイッチング素子

D1、D2…積流素子

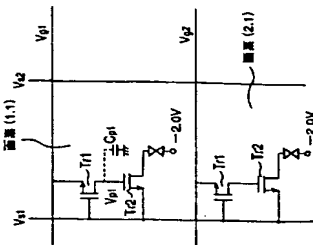
C1…液晶

C₀…補助容量。

【図4】

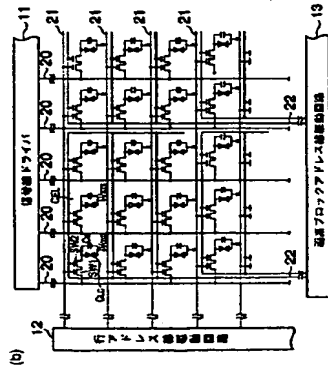
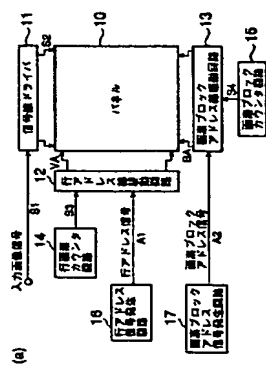


【図11】



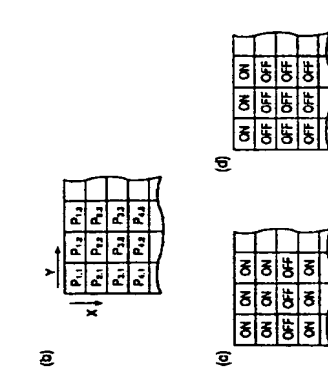
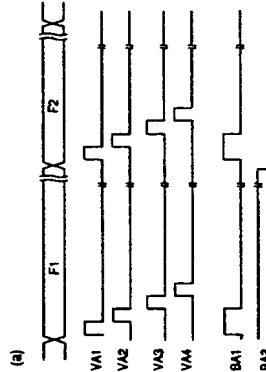
(15)

【図1】

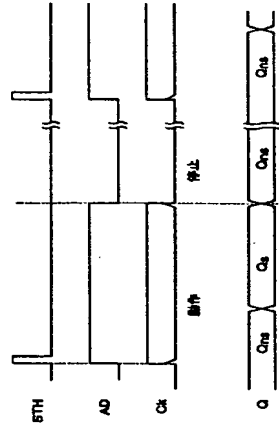


(16)

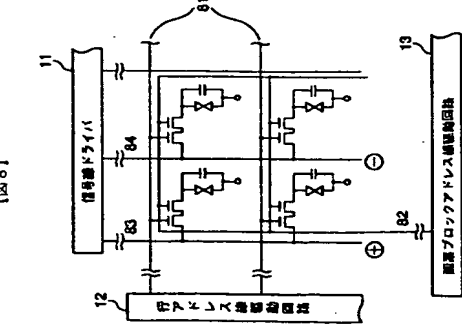
【図3】



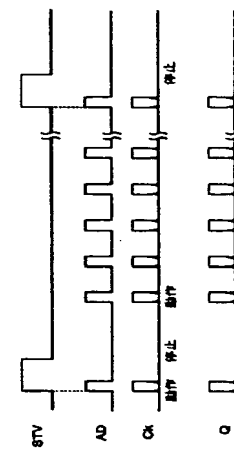
【図9】



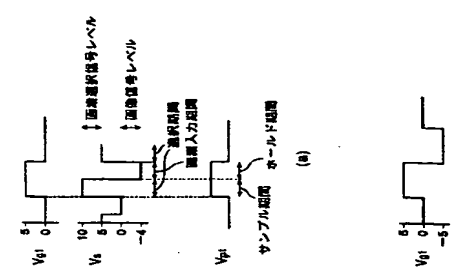
【図8】



【図10】



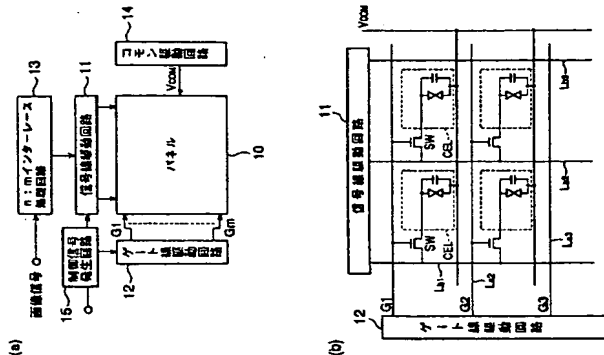
【図12】



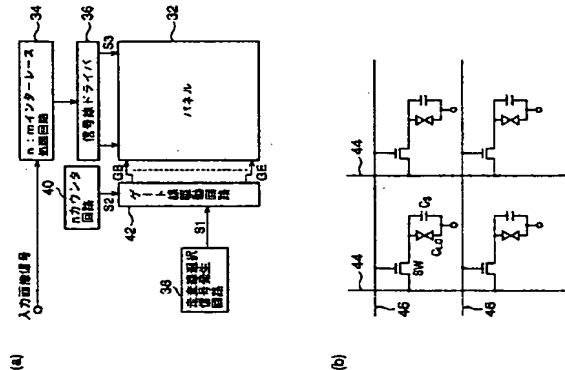
(b)

(18)

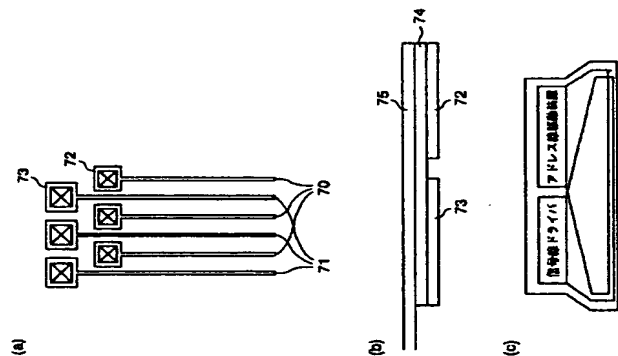
【図14】



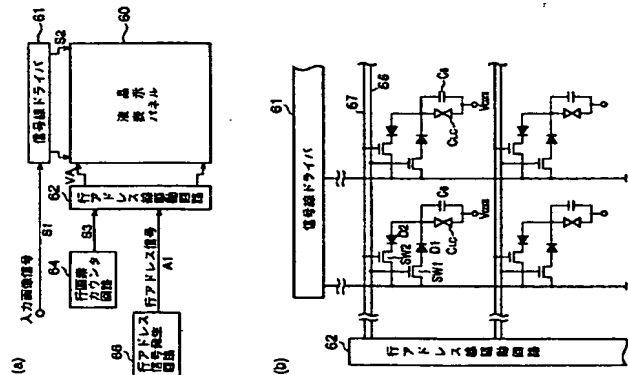
【図13】



【図7】



【図6】



(17)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.